

Japanese Laid-Open Utility Model Application Sho 61 - 44854

①

The shaded portions in the drawing indicate polycrystalline silicon wire, and portions that are not shaded indicate metal wire, respectively.

②

In the 2nd embodiment shown in Fig. 4, multiple portions of channel formation sections 12, 13, 15 and 16 of the polycrystalline silicon wire, which form gate electrodes that control channels, cause short-circuits.

③

For the purpose of easily understanding metal wires that cause short circuits in Fig. 4, the metal wires are arranged on the field of a semiconductor substrate. However, it is also possible to arrange metal wires on polycrystalline silicon wires, which form the gate electrodes.

公開実用 昭和61-44854

④ 日本国特許庁(JP)

⑩ 実用新案出願公開

⑫ 公開実用新案公報(U)

昭61-44854

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)3月25日

H 01 L 27/08
29/78

1 0 2

6655-5F
8422-5F

審査請求 未請求 (全 頁)

⑭ 考案の名称 CMOS出力バッファ

⑮ 実 願 昭59-128916

⑯ 出 願 昭59(1984)8月24日

⑰ 考 案 者 安 田 貞 宏 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 熊谷 雄太郎

公開実用 昭和61-44854

特
許
公
報

明 細 書

1 考案の名称

CMOS 出力バッファ

2 実用新案登録請求の範囲

半導体基板上に形成されたシリコンゲート MOS トランジスタのチャネルを制御するゲート電極を形成する多結晶シリコン配線の両縁端を含む複数箇所を金属配線で短絡した構造を有する P チャネルシリコンゲート MOS トランジスタと、該 MOS トランジスタと同様の構造の N チャネルシリコンゲート MOS トランジスタとで構成されたことを特徴とする CMOS 出力バッファ。

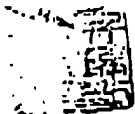
3 考案の詳細な説明

考案の属する技術分野

本考案は半導体基板上に形成された外部接続端子をドライブする CMOS 出力バッファの構造に関する。

従来の技術

半導体基板上に構成された集積回路において、集積回路内で生成された電気的信号は、外部端子



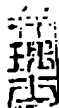
を通して他のデバイスにその信号を供給するため
に、低抵抗で導通するチャンネル幅の大きいトラ
ンジスタにより構成された出力バッファ回路へ入
力される。

CMOS トランジスタにより構成された出力バッ
ファの回路は、第 1 図に示される様に、単なるイ
ンバータ構造をしている。

又、CMOS 出力バッファ回路においては出力値
の変化する過渡期において本来貫通電流が流れる
欠点を有し、出力バッファのようにトランジスタ
のチャンネル幅の大きい場合にはその貫通電流も
比例して大きくなり、その貫通電流による消費電
力の増加、あるいは電源電圧、基準電圧の変動を
まねく。

従来の CMOS 出力バッファの構造は、第 2 図に
示すように、入力信号を供給する多結晶シリコン
配線 1 をゲート電極とする N チャンネル MOS トラ
ンジスタ 2、3 及び P チャンネル MOS トランジス
タ 5、6 により構成され、出力バッファの入力信
号は MOS トランジスタのチャンネルを制御するゲ

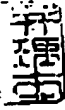
公開実用 昭和61-44854



ート電極を形成する多結晶シリコン配線1の一片に接続されていた。

第2図に示された従来の出力バッファの構造において、入力信号の変化に対するMOSトランジスタのゲート電極への信号の伝達波形はゲート電極を形成する多結晶シリコン配線が高抵抗なために、その抵抗とMOSトランジスタが有する静電容量との積に比例して鈍り、更に上記チャンネルを制御するゲート電極上の多結晶シリコン配線の抵抗及び静電容量値は分布定数であるために、入力信号の鈍りはチャンネル上の入力信号が入力される入口からの距離により異なる。つまり第2図におけるPチャンネルMOSトランジスタ5のゲート電極5a、5bの位置では入力信号の信号の波形の鈍りが異なりゲート電極5bの位置ではその地点の入力信号から見た容量及び抵抗が最大となつて波形の鈍りは最大となる。このことはNチャンネルMOSトランジスタのゲート電極上の2a、2bの位置でもおこる。このとき、一般にCMOSインバータの入力波形の鈍りは貫通電流を多くすることが知ら

信号が
遅延する



れており、この出力バッファにおいても5bと2bのゲート電極下のチャンネルに流れる貫通電流が増大し、消費電力の増加あるいは電源電圧、基準電圧の変動が大きくなる欠点を有していた。

従来のCMOSトランジスタにより構成されたバッファは上述したように、トランジスタの導通状態における抵抗値を小さくする場合にそのトランジスタのチャンネル幅を大きくするが、チャンネルを制御する多結晶シリコンによるゲート電極の長さも長くなり、その多結晶シリコンのもつ抵抗によりゲート電極の縁端では制御信号の波形が鈍り、バッファを形成するP型MOSトランジスタとN型MOSトランジスタが同時に導通し、大きな貫通電流が流れる。

考案の目的

本考案は従来の技術に内在する上記欠点を解消する為になされたものであり、従つて本考案の目的は、このP型MOSトランジスタとN型MOSトランジスタが同時に導通する期間を短かくするためにゲート電極を形成する多結晶シリコン配線の構

公開実用 昭和61-44854



造を改善することにより、貫通電流を小さくした新規な CMOS 出力バッファの構造を提供することにある。

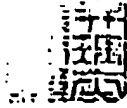
考案の構成

上記目的を達成する為に、本考案に係る CMOS 出力バッファは、半導体基板上に形成されたシリコンゲート MOS トランジスタのチャネルを制御するゲート電極を形成する多結晶シリコン配線の両線端を含む複数箇所を金属配線で短絡した構造を有する P チャネルシリコンゲート MOS トランジスタと N チャネルシリコンゲート MOS トランジスタとで構成され、しかして、出力バッファのデータが反転する時に生じる貫通電流による消費電力を少なくすることができる。

考案の実施例

次に本考案をその好ましい各実施例について図面を参照しながら具体的に説明する。

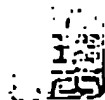
第 3 図は本考案の第 1 の実施例を示す構成図である。^① 図における斜線の部分は多結晶シリコン配線、斜線が施されていない部分は金属配線をそれ



それぞれ示す。第 3 図において、P チャンネルシリコンゲート MOS トランジスタのチャンネルを制御するゲート電極を形成する多結晶シリコン配線のチャンネル形成部 15、16 の両線端は金属配線 11a、11b、11c により短絡されている。しかして、入力信号からみたゲート電極上の多結晶シリコン配線の C R 時定数を小さくすることにより入力信号の波形の鈍りを少なくしている。同様に、N チャンネルシリコンゲート MOS トランジスタのチャンネルを制御するゲート電極を形成する多結晶シリコン配線のチャンネル形成部 12、13 の両線端は金属配線 11d、11e により短絡され、やはり入力信号の波形の鈍りを少なくしている。このことにより、第 3 図に示す構造の出力バッファにおいては、P チャンネル MOS トランジスタと N チャンネル MOS トランジスタのゲート電極上の入力波形の鈍りが少ないために貫通電流を少なくすることができる。

第 4 図は本考案の第 2 の実施例を示す構成図である。第 3 図に示した第 1 の実施例は MOS トランジスタのチャンネルを制御するゲート電極を形成

公開実用 昭和61-44854



する多結晶シリコン配線の両線端のみを金属配線^②で短絡した場合の例であるが、第4図に示された第2の実施例においては、チャンネルを制御するゲート電極を形成する多結晶シリコン配線のチャンネル形成部12、13、15、16の複数箇所が金属配線で短絡されている。

第3図^③、第4図において短絡する金属配線をわかりやすくするために、半導体基板のフィールド上に配置したが、ゲート電極を形成する多結晶シリコン配線上に配置することも可能である。

考案の効果

以上説明した様に、本考案による構造をCMOS出力バッファにもたせることによつて、入力信号は低抵抗の金属配線により入力信号波形を鈍りを増大させることなくCMOS出力バッファのゲート電極へ伝達することができる。従つて、本考案によるCMOS出力バッファは、入力波形の鈍りによる貫通電流の増加を防ぎ、消費電力の増加又は貫通電流による電源電圧あるいは基準電圧の変動を防止することができる。



4 図面の簡単な説明

第1図は出力バッファ回路の構成図である。

$Q_p \dots P$ チャンネル MOS トランジスタ、 $Q_n \dots N$ チャンネル MOS トランジスタ、 $I \dots$ 出力バッファの入力、 $O \dots$ 出力バッファの出力取出し端子

第2図は従来の CMOS 出力バッファの平面図である。

1 … 入力信号が入力される多結晶シリコン配線、
2、3 … N チャンネルシリコンゲート MOS トランジスタチャンネル形成部、2a … 入力信号に近い N チャンネルシリコンゲート MOS トランジスタのチャンネル形成部、2b … 入力信号から最も遠い N チャンネルシリコンゲート MOS トランジスタのチャンネル形成部、4 … 出力バッファの出力を取り出す出力パッド、5、6 … P チャンネルシリコンゲート MOS トランジスタチャンネル形成部、5a … 入力信号に近い P チャンネルシリコンゲート MOS トランジスタのチャンネル形成部、5b … 入力信号から最も遠い P チャンネルシリコンゲート MOS トランジスタのチャンネル形成部、7 … 基準電圧の

公開実用 昭和61-44854

金属配線、8…電源電圧の金属配線、9…金属配線と多結晶シリコン配線又は拡散層とスルーホールするコンタクト、10…拡散層領域

第3図及び第4図は本考案によるCMOS出力バッファの第1及び第2の実施例を示す平面図である。

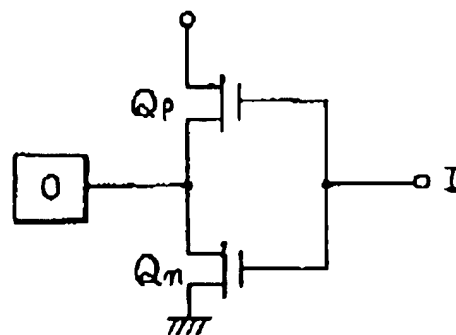
11…入力信号が入力される多結晶シリコン配線、11a～11e…出力バッファのゲート電極へ接続するため配線された金属配線、12、13…NチャンネルシリコンゲートMOSトランジスタのチャンネル形成部、14…出力バッファの出力を取り出す出力パッド、15、16…PチャンネルシリコンゲートMOSトランジスタのチャンネル形成部、17…基準電圧の金属配線、18…電源電圧の金属配線、19…金属配線と多結晶シリコン配線又は拡散層とスルーホールするコンタクト、20…拡散領域(21の部分を除く)

実用新案登録出願人

日本電気株式会社

代理人

弁理士 熊谷 雄太郎



第 1 図

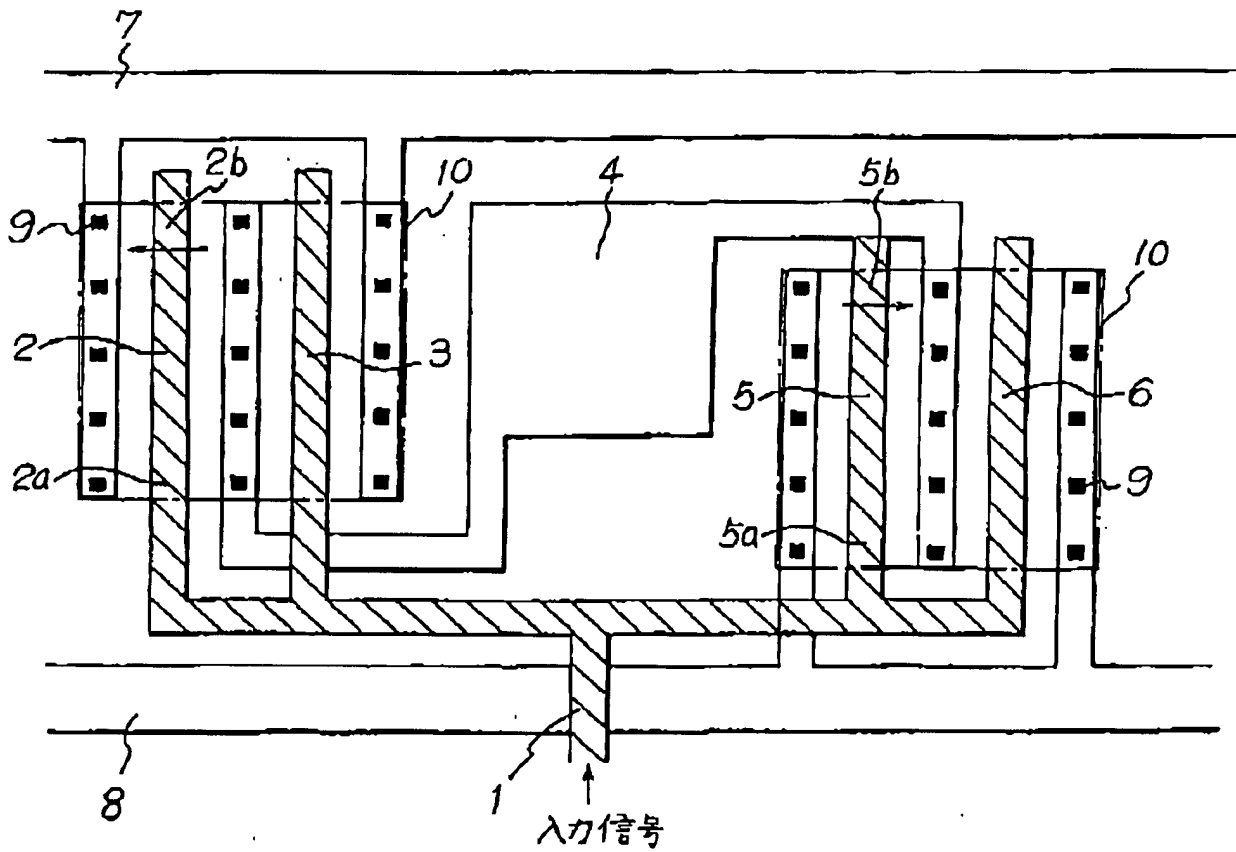
出 願 人 日 本 電 気 有 限 公 司

代 理 人 弁 理 士 熊 谷 雄 太 郎

541

1983. 7. 29

公開実用 昭和61-44854



第 2 図

542

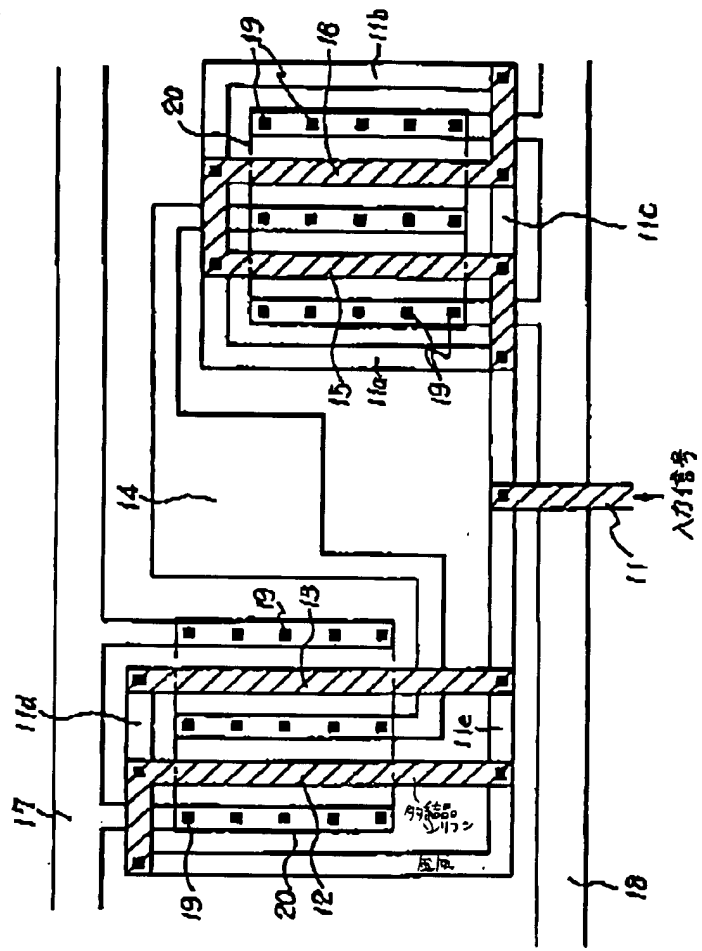
104
103

出願人 日本電気株式会社

代理人 昭和電気株式会社

44854

公開実用 昭和61-4485

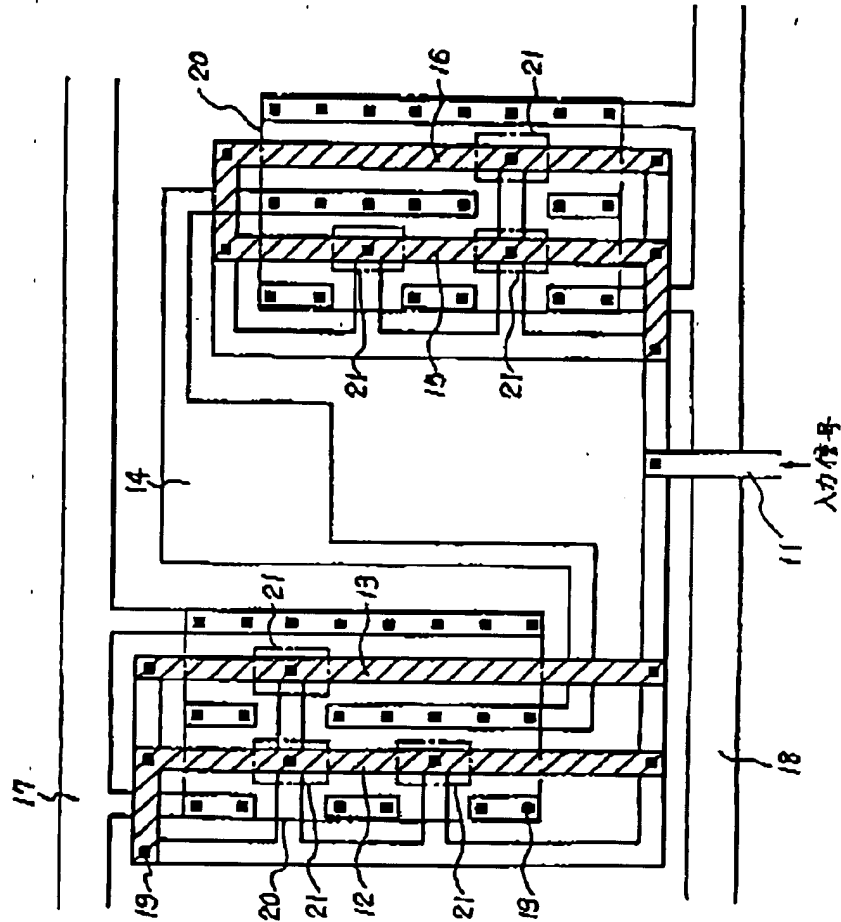


配線領域にフタを付し、

第 3 図

54.1
出 願 人 日本電気株式会社
代 理 人 佐野正一 副谷基太郎

公開実用 昭和61-44854



第 4 図

544
出願人 日本電気株式会社
代理人 特許士 飯谷誠二
61-44854